

⑨ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭59—181041

⑬ Int. Cl.³
H 01 L 23/48
21/88

識別記号

庁内整理番号
6732—5 F
6810—5 F

⑭ 公開 昭和59年(1984)10月15日

発明の数 1
審査請求 未請求

(全 6 頁)

⑮ 半導体集積回路装置

京芝浦電気株式会社総合研究所
内

⑯ 特 願 昭58—53535

⑰ 出 願 人 株式会社東芝

⑱ 出 願 昭58(1983)3月31日

川崎市幸区堀川町72番地

⑲ 発 明 者 牛久幸広

⑳ 代 理 人 弁理士 鈴江武彦 外2名

川崎市幸区小向東芝町1番地東

明 細 書

1. 発明の名称

半導体集積回路装置

2. 特許請求の範囲

(1) 複数のボンディングパッドを有する半導体集積回路装置において、最上層の配線層を用いてボンディングパッドを形成し、かつこのパッド下の領域に絶縁層を介して該パッドを形成する配線層より下層の配線層からなる信号線を配設してなることを特徴とする半導体集積回路装置。

(2) 前記信号線は、前記複数のボンディングパッドと内部回路とを接続する接続用配線であることを特徴とする特許請求の範囲第1項記載の半導体集積回路装置。

(3) 前記信号線は、電源線であることを特徴とする特許請求の範囲第1項記載の半導体集積回路装置。

(4) 前記電源線は、内部回路の外側に該回路を囲むよう配設されたものであることを特徴と

する特許請求の範囲第3項記載の半導体集積回路装置。

3. 発明の詳細な説明

〔発明の技術分野〕

本発明は、半導体集積回路装置の改良に係わり、詳しくはボンディングパッドの下の領域に信号線を配設した半導体集積回路装置に関する。

〔発明の技術的背景とその問題点〕

近年、半導体集積回路装置、特に論理LSI装置は多ピン化の傾向を辿っており、1チップで200～300ピンのものも開発されている。これに伴いボンディング技術も進歩し、100～200〔 μm 〕のピッチでボンディングが可能になっている。上記程度のピッチでボンディングパッドを並べると、チップの最外周はボンディングパッド以外何も配設できなくなる。仮に、チップの縁から200〔 μm 〕内側までをボンディングパッドに必要な領域とし、チップの大きさを5〔 mm 〕 \times 5〔 mm 〕と考えると、全体の面積の約15〔 $\%$ 〕がパッド領域で占められてしまう。したがって、

この領域を有効に利用することが各種考えられている。

しかし、ボンディング時の熱的機械的なストレスのため、パッド下の領域に能動素子や微細な配線を配置すると種々の問題が生じる。第1図はパッド下の領域に能動素子を配置した従来例を示す断面図であり、基板1上に拡散層2、ポリシリコンゲート3、フィールド酸化膜4、第1層間絶縁膜5及び第1AL配線層6からなる活性化領域があり、この上に第2層間絶縁膜7を介して第2AL配線層8でボンディングパッド部が形成されている。なお、図中9はボンディングワイヤ、10は最終絶縁膜を示している。この場合の問題点は次の(1)～(4)に示すものである。

(1) 第2AL配線層8を設ける工程が必要で、この配線層8をボンディングパッドとしてのみ用いるので、コスト高を招く。

(2) ボンディングパッド表面の凹凸が大きいので、ボンディングの歩留りが悪い。

(3) ボンディング時に下層の活性領域を保護するため、第2層間絶縁膜7を厚くしなければならず、また該絶縁膜7の材質選択に十分な注意が必要となり、コスト高を招く。

(4) スクライプ時のストレスがあるためチップの周辺部には素子を配線しにくいので、チップ周辺にボンディングパッドを配置しなければならないようなときには不向きである。

一方、最近では、拡散工程が共通で配線層のみを変えることにより所望の回路を実現する、所謂マスタースライス方式の半導体集積回路装置が開発されている。この種の装置では、ボンディングパッドと入出力回路とが1:1に対応しないこともある。さらに、ボードのピン配置の都合上、ボンディングパッドから遠い所にある入出力回路に該パッドを接続しなければならない場合が多い。

また、半導体集積回路装置の微細化が進み1チップに集積される素子数が増加するに従って、チップ内で消費される電力も益々増加する傾向

にある。このため、より太い電源線の必要性が生じている。しかしながら、チップの周囲に電源線を配線するためのスペースをとることは、チップ面積の増大化を招き好ましくない。例えば、5[mm]×5[mm]の大きさの周囲に100[mm]幅の電源線を追加すると、チップ面積は約8[%]増大することになる。

〔発明の目的〕

本発明の目的は、ボンディングパッド下の領域を有効に利用することができ、チップサイズの増大を伴うことなくボンディングパッドの内部回路との接続や電源線の増加等をはかり得る半導体集積回路装置を提供することにある。

〔発明の概要〕

本発明の骨子は、ボンディングパッド下の領域に比較的線幅の大きい信号線を配設することにある。

すなわち本発明は、複数のボンディングパッドを有する半導体集積回路装置において、最上層の配線層を用いてボンディングパッドを形成

し、かつこのパッド下の領域に絶縁層を介して該パッドを形成する配線層より下層の配線層からなる信号線を配設するようにしたものである。
〔発明の効果〕

本発明によれば、ボンディングパッド下の領域に信号線を配設しているので、この信号線の追加によりチップサイズが増大する等の不都合はない。このため、信号線として例えば電源線を用いる場合、チップサイズの増大を伴うことなく電源線を追加することができるので、今後の1チップ内の素子数増大化にも十分に対処し得る。さらに、信号線として接続用配線を用いることにより、チップサイズの増大を伴うことなくボンディングパッドと内部回路との接続を容易に行うことができる。また、ボンディングパッド下の領域に能動素子や微細な配線を配設する場合とは異なり、電源線や接続用配線等の比較的大きなパターンを配設するので、パッド下の絶縁層に対する熱的機械的強度の要求は緩やかなものとなる。さらに、ボンディングパッ

ドを平坦に形成できるので、ボンディング歩留りの低下が生じることもない。したがって、製造コストの低減をはかり得る等の利点もある。
〔発明の実施例〕

第2図(a)(b)は本発明の第1の実施例に係わる半導体集積回路装置を説明するためのもので第2図(a)は上記装置の要部構成を示す平面図、第2図(b)は同図(a)の矢視A-A断面拡大図である。図中11は半導体基板、12はフィールド絶縁膜、13は第1層間絶縁膜、14は第1AL配線層(信号線)、15は第2層間絶縁膜(絶縁層)、16は第2AL配線層、17は最上層絶縁膜としての第3絶縁膜、18はボンディングワイヤ、19は接続孔を示している。第2AL配線層16はその一部でボンディングパッド16aを形成するもので、接続孔19を介して第1AL配線層14に接続されている。第1AL配線層14は接続用配線14aをなすものであり、直接或いはパッド16aの下領域を通じて内部回路(第2図中1点鎖線より上方部分)の入出力回路領

域に接続されている。そして第1AL配線層14はボンディング時の簡便による断線等を防止する為に太くされている。そしてパッド16では例えばパルス信号が入力又は出力される。

このような構成であれば、パッド16a下の領域に配置した第1AL配線層14により、チップサイズの増大を招くことなく、ボンディングパッド16aと内部回路とを容易に接続することができる。また、配線の最上層である第2AL配線層16の一部でボンディングパッド16aを形成しているため、ボンディングパッド形成のために新たなAL層を被着する必要もなく、製造コストの低減をはかり得る。さらに、ボンディングパッド16aの表面が比較的平坦に形成されるので、ボンディング歩留りが低下する等の不都合は生じない。また、パッド16a下の領域は配線であり、しかもそのパターンは比較的大きいものであるため、第2層間絶縁膜15は特別なものである必要はなく、かつその膜厚を左程厚くする必要もない。このことから、

製造コストの低減に極めて有効である。

第3図(a)(b)は第2の実施例の要部構成を示すもので第3図(a)は平面図、第3図(b)は同図(a)の矢視B-B断面図である。なお、第2図(a)(b)と同一部分には同一符号を付して、その詳しい説明は省略する。この実施例が先に説明した第1の実施例と異なる点は、前記信号線として電源線を配設したことになる。すなわち、前記パッド16a下の領域には第1AL配線層14からなる V_{DD} 電源線14bが内部回路を囲むよう配置されており、この電源線14bは N^+ 拡散領域21と接触し基板電位の固定を同時に行っている。そして第1AL配線層14は分岐配線を有する電源幹線となっている。また、ボンディングパッド16aを形成する第2AL配線層16は内部回路に接続された第1AL配線層14からなる接続用配線14aに接続されている。なお、電源線14bの線幅は100～200[μm]とした。

このような構成であれば、パッド16a下の領域に配置した第1AL配線層14により、チップ

サイズの増大を招くことなく、電源線14bを追加することができる。また、電源線14bのパターンは比較的大きいものであるから、先の実施例と同様な効果が得られるのも勿論のことである。

第4図(a)(b)は第3の実施例の要部構成を示すもので第4図(a)は平面図、第4図(b)は同図(a)の矢視C-C断面図である。なお、第3図(a)(b)と同一部分には同一符号を付して、その詳しい説明は省略する。この実施例が先の第2の実施例と異なる点は、前記電源線14bを拡散層で形成したことにある。すなわち、パッド16a下の領域に配線層の一種である N^+ 拡散層21が形成され、この拡散層21が V_{DD} 電源線をなすものとなっている。また、第1AL配線層14は、この場合最上層をなすもので、その一部でボンディングパッド16aを形成すると共に、内部回路に接続されるものとなっている。

このような構成であっても、先の第2の実施例と同様な効果を実現するのは勿論のことである。

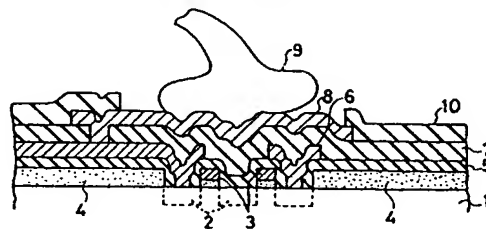
なお、本発明は上述した各実施例に限定されるものでない。例えば、前記AL配線層は2層に限らず、第5図に示す如く3層にしてもよい。この場合、第1AL配線層14で V_{DD} 電源線14bが形成され、第2AL配線層16で V_{SS} 電源線14cが形成され、また第3AL配線層31の一部でボンディングパッド16aが形成される。さらに、第3AL配線層31上には最終絶縁膜としての第4絶縁膜32が形成される。また、AL配線層を4層以上に形成してもよいのは勿論のことである。さらに、第6図に示す如く第1AL配線層14で V_{DD} 電源線14b及び V_{SS} 電源線14cを形成することも可能である。また、電源線や接続用配線等の信号線をなす配線層としては、AL配線層や N^+ 拡散層等の代りに、 P^+ 拡散層、ポリシリコン層或いは半導体配線材料となり得るものであれば用いてもよい。その他、本発明の要旨を逸脱しない範囲で、種々変形して実施することができる。

4. 図面の簡単な説明

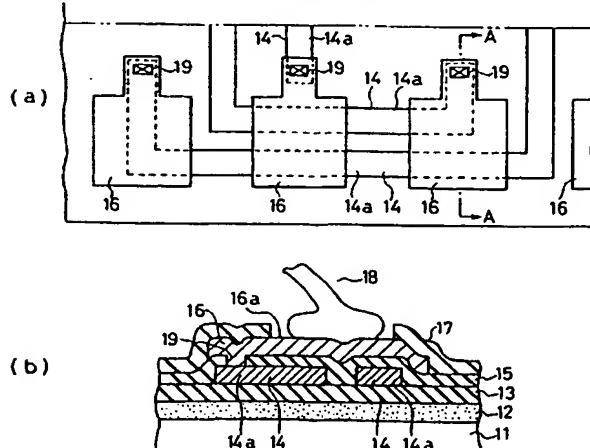
第1図は従来例を説明するための断面図、第2図(a)(b)は本発明の第1の実施例に係わる半導体集積回路装置を説明するためのもので第2図(a)は上記装置の要部構成を示す平面図、第2図(b)は同図(a)の矢視A-A断面図、第3図(a)は第2の実施例の要部構成を示す平面図、第3図(b)は同図(a)の矢視B-B断面図、第4図(a)は第3の実施例の要部構成を示す平面図、第4図(b)は同図(a)の矢視C-C断面図、第5図及び第6図はそれぞれ変形例を説明するための断面図である。

11…基板、12…フィールド絶縁膜、13…第1絶縁膜、14…第1AL配線層、15…第2絶縁膜、16…第2AL配線層、17…第3絶縁膜、18…ボンディングワイヤ、19…接続孔、21…拡散層、31…第3AL配線層、32…第4絶縁膜、14a…接続用配線、14b… V_{DD} 電源線、14c… V_{SS} 電源線、16a…ボンディングパッド。

第1図

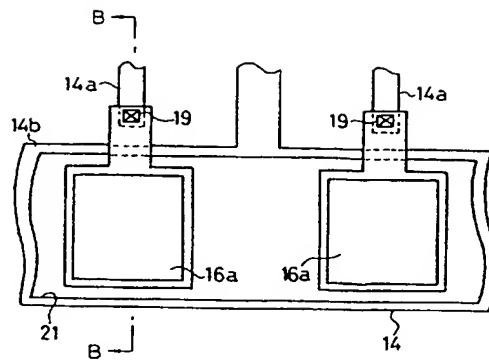


第2図

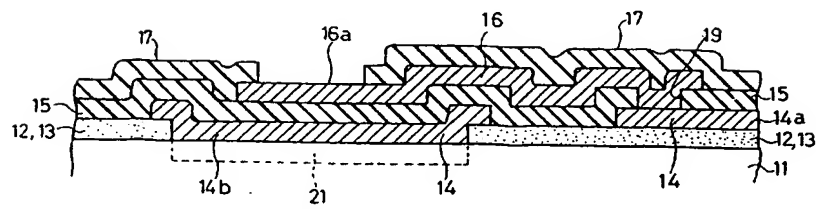


第 3 図

(a)

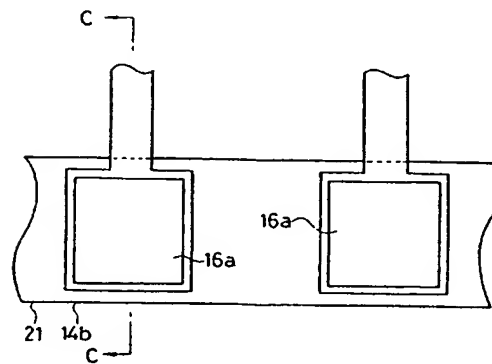


(b)

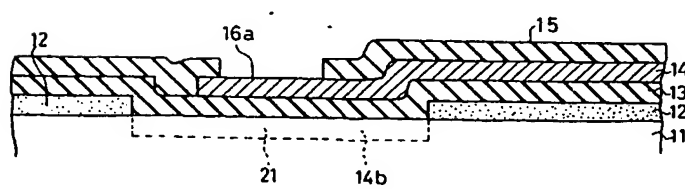


第 4 図

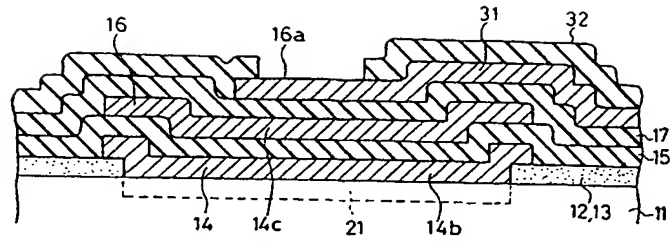
(a)



(b)



第 5 図



第 6 図

